

DERWENT-ACC-NO: 1992-408352

DERWENT-WEEK: 199617

COPYRIGHT 2006 DERWENT INFORMATION LTD

TITLE: Trench storage capacitor for high density DRAM(s) - uses rectangular trench with (100) walls and bottom plane to improve oxide thickness and threshold control with die oriented parallel to (110) planes

INVENTOR: YASUE, T

PATENT-ASSIGNEE: MITSUBISHI DENKI KK[MITQ] , MITSUBISHI ELECTRIC CORP[MITQ]

PRIORITY-DATA: 1992JP-0079908 (April 1, 1992) , 1991JP-0121503 (May 27, 1991)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE	PAGES	MAIN-IPC
DE 4217420 A	December 3, 1992	N/A	040	H01L 027/108
IT 1255293 B	October 26, 1995	N/A	000	H01L 000/00
JP <u>05109984</u> A	April 30, 1993	N/A	017	H01L 027/04

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO	APPL-DATE
DE 4217420A	N/A	1992DE-4217420	May 26, 1992
IT 1255293B	N/A	1992IT-MI01295	May 26, 1992
JP 05109984A	N/A	1992JP-0079908	April 1, 1992

INT-CL (IPC): H01L000/00, H01L021/72 , H01L021/78 , H01L027/04 , H01L027/108

ABSTRACTED-PUB-NO: DE 4217420A

BASIC-ABSTRACT:

✓ Semiconductor die, pref. single crystalline Si, has a surface orientation of (100) and 4 side planes consisting of (110) planes. The edges of the die are inside (111) planes. The die contains trenches which have a rectangular cross section with 4 (100) planes as walls and a (100) plane as bottom. This makes the angle between the trench edges and a (110) die-edge plane 45 degrees. The trench has an outer conductive layer, pref. a diffusion layer pref. inside the substrate, along the trench-periphery, an inner conductive layer, pref. polycrystalline Si, and an insulating layer, pref. an oxide layer, between them.

The outer conductive layer pref. forms one of the diffusions in an MOS transistor and the insulating layer is pref. also the gate dielectric of the MOS transistor.

Also claimed is the use of substrates of GaAs, InP and Si-Ge.

The die is pref. cut from a wafer of the substrate material which has a (110) plane as registration edge.

USE/ADVANTAGE - The orientation of the trench walls ensures that the oxide thickness, grown as dielectric layer of the embedded capacitor, has an even thickness along the entire periphery and that the threshold under the inner electrode is controlled. This improves the yield and reliability of the trench capacitors and of the devices using them.

CHOSEN-DRAWING: Dwg.1/48

DERWENT-CLASS: L03 U11 U12 U13 U14

CPI-CODES: L03-G04A; L04-A01; L04-C02; L04-E01B;

EPI-CODES: U11-B03; U12-C02A1; U13-C04B1A; U13-D03A; U14-A03B4;

PAT-NO: JP405109984A
DOCUMENT-IDENTIFIER: JP 05109984 A
TITLE: SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

PUBN-DATE: April 30, 1993

INVENTOR-INFORMATION:

NAME	COUNTRY
YASUE, TAKAO	

ASSIGNEE-INFORMATION:

NAME	COUNTRY
MITSUBISHI ELECTRIC CORP	N/A

APPL-NO: JP04079908

APPL-DATE: April 1, 1992

INT-CL (IPC): H01L027/04 , H01L021/78 , H01L027/108

ABSTRACT:

PURPOSE: To prevent edges of a chip from being broken when the chip is subjected to a dicing by the use of a silicon wafer, wherein the main surface of the silicon wafer is a [100] plane and four peripheral side surfaces of the same are [110] planes, so that a thin capacitor can have four peripheral inner [100] planes, whereby the thickness of an oxide film at a capacitor can be rendered uniform.

CONSTITUTION: The surface orientation of a silicon wafer 1 is defined such that a main surface 1a thereof is in a [100] plane, and an orientation flat 1b thereof is in a [110] plane. The silicon wafer is subjected to dicing along dicing lines 2a which are parallel to the orientation flat 1b and another dicing lines 2b which are at right angles to the orientation flat 1b. Accordingly, all four peripheral side surfaces 3a, 3b, 3c and 3d of a semiconductor chip 3 have the surface orientation of a [110] plane. In addition, all four peripheral inner surfaces 7a, 7b, 7c, 7d and a bottom surface 7e of a thin capacitor 7 are set to the surface orientation of a [100] plane. Moreover, crossover lines between the dicing lines 2a and 2b, a [111] plane, and the main surface 1a are parallel to each other.

(19)日本国特許庁(J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-109984

(43)公開日 平成5年(1993)4月30日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/04	C	8427-4M		
21/78	L	8617-4M		
27/108		8728-4M	H 0 1 L 27/ 10	3 2 5 D

審査請求 未請求 請求項の数9(全 17 頁)

(21)出願番号 特願平4-79908

(22)出願日 平成4年(1992)4月1日

(31)優先権主張番号 特願平3-121503

(32)優先日 平3(1991)5月27日

(33)優先権主張国 日本(J P)

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 安江 孝夫

兵庫県伊丹市瑞原4丁目1番地 三菱電機

株式会社エル・エス・アイ研究所内

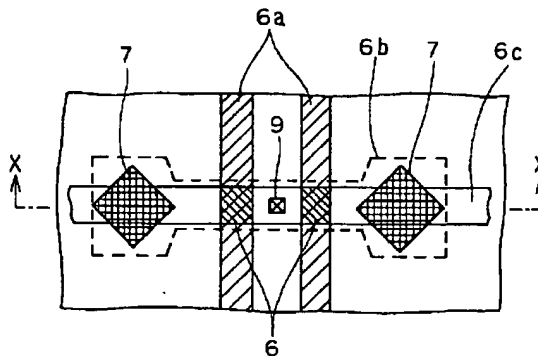
(74)代理人 弁理士 深見 久郎 (外3名)

(54)【発明の名称】 半導体装置およびその製造方法

(57)【要約】

【目的】 この発明は半導体装置およびその製造方法に関し、半導体チップ上に形成される溝型キャパシタの構造およびその製造方法に関し、この溝型キャパシタの性能の向上を可能とする半導体装置およびその製造方法を提供する。

【構成】 主表面が{100}面、オリエンテーションフラットが{110}面を有するシリコンウェハにおいて、半導体チップの主表面が{100}面、この半導体チップ内に形成される溝の四周内面がすべて{100}面となり、また、この半導体チップの四周側面が{110}面となるように構成されている。これにより、溝の各辺の酸化膜厚さの形成が均一となり、また、ダイシング時におけるチップの割れを防止することが可能となる。



【特許請求の範囲】

【請求項1】 主表面が{100}面、四周側面が{110}面を有する半導体基板を備え、この半導体基板の{111}面と前記主表面の交差線は、前記四周側面に平行または垂直に存在し、前記半導体基板の主表面には、四周内面が{100}面に設定された溝が形成され、この溝の少なくとも1つの内面に沿って形成された第1導電層と、この第1導電層の少なくとも1つの内面上に形成された絶縁層と、この絶縁層の上面に形成された第2導電層と、を備えた半導体装置。

【請求項2】 主表面と四周側面を有する半導体基板と、この半導体基板の主表面上に形成されたMOS型電界効果トランジスタおよび溝型キャパシタと、を備えた半導体装置であって、前記半導体基板の主表面は{100}面、四周側面は{110}面からなり、前記溝型キャパシタは、その四周内面が{100}面からなる四角柱状の溝に形成された半導体装置。

【請求項3】 直方体をなす半導体チップと、この半導体チップの主表面上に形成されたMOS型電界効果トランジスタおよび溝型キャパシタと、を備えた半導体装置であって、前記半導体チップの主表面は{100}面、四周側面は{110}面からなり、前記MOS型電界効果トランジスタは、前記半導体チップの四周側面に平行または直角方向に延びるゲート電極と、このゲート電極と直交する方向に延びる活性領域を含み、前記溝型キャパシタは、その四周側面が{100}面からなる四角柱状の溝に形成された半導体装置。

【請求項4】 主表面が{100}面、四周側面が{110}面を有する半導体チップであって、この半導体チップ上に溝型キャパシタが形成され、この溝型キャパシタは四周内面が{100}面に設定された溝を有し、前記半導体チップの{111}面と前記主表面の交差線は前記半導体チップの主表面に平行または垂直に存在する半導体装置。

【請求項5】 主表面と、四周側面と、前記主表面から基板の深さ方向に形成され、かつ、四周内面を有する溝とを有する半導体基板と、前記溝の内面に沿う半導体基板の領域をチャネル領域とするように形成された1対の不純物領域と、前記チャネル領域上に形成されたゲート絶縁膜と、前記ゲート絶縁膜上であって、前記溝の内面に沿って形成されたゲート電極とを有するMOS型電界効果トランジスタと、を備え、

前記主表面は{100}面、四周側面は{110}面、四周内面は{100}面からなる半導体装置。

【請求項6】 主表面が{110}面を有する半導体ウェハに、その四周内面が{100}面に設定された溝を形成する工程と、

この溝の少なくとも1つの内面に沿って第1導電層を形成する工程と、

この第1導電層の少なくとも1つの内面上に絶縁層を形成する工程と、

10 この絶縁層の上面に第2導電層を形成する工程と、

前記主表面と前記半導体ウェハの{111}面の交差線の方に沿って前記半導体ウェハをダイシングし、その四周側面が{110}面を有する半導体チップを形成する工程と、を備えた半導体装置の製造方法。

【請求項7】 半導体ウェハを所定の面方位に設定する面方位設定工程と、前記半導体ウェハにMOS型電界効果トランジスタおよび溝型キャパシタを有するメモリ素子を形成する工程と、

20 前記半導体ウェハを、主表面と四周側面を有する半導体チップにダイシングする工程と、を備えた半導体装置の製造方法であって、

前記半導体ウェハの主表面に、その四周内面が{100}面に設定された溝を形成する工程と、

前記半導体ウェハの主表面にMOS電界効果トランジスタを形成する工程と、前記溝の少なくとも1つの内面に沿ってキャパシタを形成する工程と、

30 前記半導体ウェハの{111}面と前記主表面との交差線の方に沿って前記半導体ウェハをダイシングし、その四周側面が{110}面を有する半導体チップを製造する工程と、

を備えた半導体装置の製造方法。

【請求項8】 {100}面の主表面を有する半導体ウェハ上に、MOS型電界効果トランジスタを備えた半導体装置を製造する方法であって、

前記半導体ウェハの主表面にその四周内面が{100}面に設定された溝を形成する工程と、

40 前記溝の内面に不純物をイオン注入してソース/ドレイン領域を形成する工程と前記溝の内面上に熱酸化によってゲート絶縁膜を形成する工程と、

前記溝の内面で前記ゲート絶縁膜上にゲート電極を形成する工程と、

前記半導体ウェハの{111}面の交差線の方に前記半導体ウェハをダイシングし、その四周側面が{110}面を有する半導体チップを形成する工程と、を備えた半導体装置の製造方法。

50 【請求項9】 半導体ウェハを所定の面方位に設定する面方位設定工程と、

前記半導体ウェハにMOS型電界効果トランジスタおよび溝型キャパシタを有するメモリセルを含む回路素子をパターニングする回路素子パターニング工程と、
前記半導体ウェハを直方体の半導体チップに切断するダイシング工程と、
を備えた半導体記憶装置の製造方法であって、
前記面方位設定工程においては、前記半導体ウェハの主表面を{100}面に設定し、オリエンテーションフラットを{110}面に設定し、
前記回路素子パターニング工程においては前記MOS型電界効果トランジスタを構成するゲート電極およびこのゲート電極の長手方向に直交して延びる活性領域が、前記ダイシング工程のダイシング方向に平行または直交して延びるようにパターニングされ、かつ、前記溝型キャパシタは前記ダイシング方向に45°の角度をなす長方形の水平断面を有する四角柱状になるようにパターニングされ、前記ダイシング工程においては、前記半導体チップの四周側面が{110}面となるように前記オリエンテーションフラットに直交する方向および平行な方向にダイシングされる半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、半導体装置およびその製造方法に関し、特に、半導体チップ上に形成される溝型キャパシタの構造およびその製造方法に関するものである。

【0002】

【従来の技術】近年、半導体装置はコンピュータなどの情報機器の目覚ましい普及によってその需要が急速に拡大している。さらに、機能的には大規模な記憶容量を有し、かつ高速稼働が可能なものが要求されている。このような背景の下に、半導体装置においては高集積化および高速応答性あるいは高信頼性に関する技術開発が進められている。

【0003】半導体装置のうち、記憶情報のランダムな入出力が可能なものにDRAM(Dynamic Random Access Memory)がある。一般にDRAMは多数の記憶情報を蓄積する記憶領域であるメモリセルアレイと、外部との入出力に必要な周辺回路とから構成されている。

【0004】図36は、一般的なDRAMの構成を示すブロック図である。図36を参照して、DRAM50は、メモリセルアレイ51と、ロウアンドカラムアドレスバッファ52と、ロウデコーダ53およびカラムデコーダ54と、センスリフレッシュアンプ55と、データインバッファ56およびデータアウトバッファ57と、クロックジェネレータ58とを含む。

【0005】メモリセルアレイ51は、記憶情報のデータ信号を蓄積するためのものである。ロウアンドカラムアドレスバッファ52は、単位記憶回路を構成するメモリセルを選択するためのアドレス信号A₀～A₉を外部

から受けるためのものである。ロウデコーダ53およびカラムデコーダ54は、そのアドレス信号を解読することによりメモリセルを指定するためのものである。センスリフレッシュアンプ55は、指定されたメモリセルに蓄積された信号を増幅して読出すためのものである。データインバッファ56およびデータアウトバッファ57はデータ入出力のためのものである。クロックジェネレータ58は、各部への制御信号となるクロック信号を発生する。

10 【0006】半導体チップ上で大きな面積を占めるメモリセルアレイ51は、単位記憶情報を蓄積するためのメモリセルがマトリクス状に複数個配列されて形成されている。図37は、メモリセルアレイ51を構成するメモリセルの4ビット分の等価回路を示す図である。メモリセルアレイ51は、行方向に平行に延びた複数本ワード線WLと、列方向に平行に延びた複数のビット線対BL_a、BL_bとを備えている。ワード線WLとビット線BL_a、BL_bとの交差部近傍にはメモリセルMが形成されている。

20 【0007】メモリセルMは、1個のMOS(Metal Oxide Semiconductor)型電界効果トランジスタTrと1個のキャパシタCとからなる。すなわち、各メモリセルは、いわゆる1トランジスタ1キャパシタ型のメモリセルを示している。さらに、このキャパシタCには、高集積化を図るために基板の深さ方向に溝が形成された溝型キャパシタが用いられている。このタイプのメモリセルはその構造が簡単なため、メモリセルアレイの集積度を向上させることが容易であり、大容量のDRAMに広く用いられている。

30 【0008】一方上述したDRAMは、半導体チップ上に複数個形成されており、またこの半導体チップは、半導体ウェハを所定の形状に切出す(ダイシング)ことにより形成されている。

【0009】従来より、蒸着技術、酸化技術、写真製版技術などを用いて、半導体ウェハにDRAMなどをパターニングした後、半導体ウェハをダイシングして、半導体チップが完成する。

【0010】半導体ウェハにDRAMを写真製版技術などを用いて形成する場合、そのパターニングは一般に半導体ウェハに設けられたオリエンテーションフラットを基準にし、パターニングが行なわれている。通常半導体ウェハの主表面の面方位は{100}面に設定されており、DRAMはこの主表面に形成されることになる。また、オリエンテーションフラットは、その面方位が{110}面と、{100}面のものが存在し、用途において使い分けられている。

【0011】以下、半導体ウェハの主表面が{100}面で、オリエンテーションフラットが{100}面または{110}面の場合におけるDRAM内に形成される溝型キャパシタの構造について以下説明する。

【0012】まず、半導体ウェハの主表面が{100}面、オリエンテーションフラットが{110}面の場合について説明する。

【0013】図38を参照して、主表面61aが{100}面、オリエンテーションフラット61bが{110}面の半導体ウェハ60に、既にDRAMなどの半導体素子が形成されている。この半導体ウェハ60には、ダイシングライン62、63がオリエンテーションフラット61bに対し垂直または平行に複数形成されている。このダイシングライン62、63に沿って半導体ウェハ60をダイシングすることにより、半導体チップ64が複数個形成される。

【0014】次に、図39を参照して、上記により形成された複数個のうちの1つである半導体チップ64の面方位は、主表面64aが{100}面、四周側面64b、64c、64d、64eは{110}面に設定される。また、主表面64aには、DRAM内に形成されたメモリセルアレイを構成するメモリセル65が複数個形成されている。

【0015】次に、図40および図41を参照して、メモリセル65の構造について説明する。

【0016】図40はメモリセル65の平面図である。図41は、図40中X-X線矢視断面図である。

【0017】メモリセル65は、MOS型電界効果トランジスタ66と溝型キャパシタ67とから構成されている。MOS型電界効果トランジスタ66は、ワードラインからなるゲート電極66aと、このゲート電極66aの長手方向に略直交して延びる活性領域66bの交点に設けられている。また、活性領域66bには溝型キャパシタ67が設けられている。さらに活性領域66bの上部には、ビット線66cが配線されている。また、このビット線66cと基板との接続のためのコンタクトホール66eが形成されている。

【0018】ここで、半導体ウェハ60への素子形成のためのパターニングは、各素子の配置が通常オリエンテーションフラットを基準に平行または垂直になるようにパターニングされる。これは、半導体ウェハに形成される各素子の集積密度の向上、パターニング時の誤差、ダイシング時における作業性を考慮して決定されたものである。よって、図42を参照して、半導体チップ64内に形成された溝型キャパシタ67の四周内面67a、67b、67c、67dは{110}面となり、底面67eは{100}面となる。

【0019】しかし、半導体表面上に熱酸化により熱酸化膜を形成する場合、{100}面と{110}面では、酸化速度が異なることが知られている。たとえば、{100}面で100Åの酸化膜を形成するのと同じ条件で{110}面を酸化した場合、150Åの酸化膜が形成され、{100}面の方が酸化速度が遅いことがわかる。このことにより、{100}面に酸化膜を形成す

る方が、酸化膜形成の制御が容易であることがわかる。また、{100}面より{110}面の方が結晶密度が多く、しきい値電圧の制御が難しいなどの問題点を有していることが知られている。よって、溝型キャパシタ67の四周内面の面方位と、底面の面方位は{100}面であることが望ましい。

【0020】そこで、次に主表面が{100}面、オリエンテーションフラットが{100}面の半導体ウェハ70上にDRAMを形成した場合について、たとえば特開昭60-253263号公報に開示された内容を参照して以下説明する。

【0021】図43を参照して、主表面71aが{100}面、オリエンテーションフラット71bが{100}面の半導体ウェハ70上に既にDRAMが形成されている。この半導体ウェハ70には、ダイシングライン72、73がオリエンテーションフラット71bに垂直または平行に複数形成されている。

【0022】次に、図44を参照して、上記ダイシングライン72、73に沿って切断された半導体チップ74の面方位は、主表面74aが{100}面、四周側面74b、74c、74d、74eは{100}面に設定される。主表面74a上に形成されているDRAMは、上述した半導体チップ64と同様に形成されている。図45を参照して、よって、メモリセル65内に形成される溝型キャパシタ80の四周内面80a、80b、80c、80dは{100}面に設定され、底面80eは{100}面に設定され、すべての溝内面を{100}面とすることができる。

【0023】これによって、溝型キャパシタ80内に形成される酸化膜厚を等しく形成することができ、メモリセルの信頼性の向上を図ることができる。

【0024】

【発明が解決しようとする課題】しかしながら、上記半導体ウェハ70を用いた場合、ダイシングにより半導体チップ74を切出す際に、半導体チップに割れが生じやすいという問題点がある。

【0025】ここで、シリコンウェハの割れの特性について、図46ないし図48を参照して説明する。

【0026】シリコンウェハの面方位の位置関係は、図46を参照して、26面体のモデルで表わすことができる。結晶面の特性として、{111}面の面方位が最も欠陥やストレスが発生しやすいことは既に知られている。たとえば、主表面71aが{100}面、オリエンテーションフラット71bが{100}面のシリコンウェハ70の割れの特性は、図47および図48を参照して、オリエンテーションフラットと主表面との交差線に対して45°の方向に割れやすい。これは、主表面71aおよびオリエンテーションフラット71bが{100}面のシリコンウェハ70の{111}面と主表面71aの交差線がオリエンテーションフラット71bに対

し45°の角度をなして存在しているからである。

【0027】このように、主表面が{100}面、オリエンテーションフラットが{100}面であるシリコンウェハの{111}面と主表面の交差線がオリエンテーションフラットに対し45°の角度をなして存在している場合、シリコンウェハから半導体チップを形成するためのダイシング方向は、オリエンテーションフラットに対して垂直または平行である。よって、半導体ウェハのダイシング時に、半導体チップの対角線方向に割れが生じやすくなる。また、製造プロセスにおける熱処理などのストレスが、半導体チップの対角線方向に亀裂を発生させ、チップの歩留りの低下、機能の信頼性に著しい問題を生じさせている。

【0028】一方、従来技術の半導体ウェハ60を用いた場合は、主表面61aと{111}面の交差線は、オリエンテーションフラットに対し垂直または平行に存在するため、上記問題点を解決することにはなるが、溝型キャパシタ内の酸化膜の不均一という問題を解消することができない。

【0029】この発明は、上記問題点を解消するためになされたもので、溝型キャパシタ部分に形成される酸化膜厚を等しく形成でき、溝型キャパシタの素子設計製造の容易化を維持するとともに、ダイシング時における半導体チップのへの割れが入りにくく、また熱処理などのプロセス処理におけるストレスによる亀裂がチップ対角線方向に入らない信頼性の高い半導体装置およびその製造方法を提供することにある。

【0030】

【課題を解決するための手段】この発明に従った半導体装置は、一つの局面では、主表面が{100}面、四周側面が{110}面を有する半導体基板を備え、この半導体基板の{111}面と上記主表面の交差線は、上記四周側面に平行または垂直に存在し、上記半導体基板の主表面には、四周内面が{100}面に設定された溝が形成され、この溝の少なくとも1つの内面に沿って形成された第1導電層と、この第1導電層の少なくとも1つの内面上に形成された絶縁層と、この絶縁層の上面に形成された第2導電層とを備えている。

【0031】この発明に従った半導体装置は、他の局面では、主表面と四周側面を有する半導体基板と、この半導体基板の主表面上に形成されたMOS型電界効果トランジスタおよび溝型キャパシタとを備えている。上記半導体基板の主表面は{100}面、四周側面は{110}面に設定されている。上記溝型キャパシタは、その四周内面が{100}面からなる四角柱状の溝に形成されている。

【0032】この発明に従った半導体装置は、さらに他の局面では、直方体をなす第1導電型の半導体チップと、この半導体チップの主表面上に形成されたMOS型電界効果トランジスタおよび溝型キャパシタとを備えて

いる。上記半導体チップの主表面は{100}面、四周側面は{110}面から形成されている。上記MOS型電界効果トランジスタは、上記半導体チップの四周側面に平行または直角方向に延びるゲート電極と、このゲート電極と直交する方向に延びる活性領域を含んでいる。上記溝型キャパシタは、その四周側面が{100}面からなる四角柱状の溝に形成されている。

【0033】この発明に従った半導体装置は、さらに他の局面では、主表面が{100}面、四周側面が{110}面を有する半導体チップである。この半導体チップ上に溝型キャパシタが形成されている。この溝型キャパシタは、四周内面が{100}面に設定された溝を有し、上記半導体チップの{111}面と上記主表面の交差線は上記半導体チップの主表面に平行または垂直に存在している。

【0034】この発明に従った半導体装置は、さらに他の局面では、主表面と、四周側面と、主表面から基板の深さ方向に形成され、かつ、四周内面を有する溝とを有する半導体基板と、上記溝の内面に沿う半導体基板の領域をチャネル領域とするように形成された1対の不純物領域と、上記チャネル領域上に形成されたゲート絶縁膜と、上記ゲート絶縁膜上であって上記溝の内面に形成されたゲート電極とを有するMOS電界効果トランジスタとを備えている。上記主表面は{100}面、四周側面は{110}面、上記四周内面は{100}面から形成されている。

【0035】この発明に従った半導体装置の製造方法は、1つの局面では、まず、主表面が{110}面を有する半導体ウェハにその四周内面が{100}面に設定された溝が形成される。この溝の少なくとも1つの内面に沿って第1導電層が形成される。この第1導電層の少なくとも1つの内面上に絶縁層が形成される。この絶縁層の上面に第2の導電層が形成される。上記主表面と上記半導体ウェハの{111}面の交差線の方に沿って上記半導体ウェハをダイシングし、その四周側面が{110}面を有する半導体チップが形成される。

【0036】この発明に従った半導体装置の製造方法は、他の局面では、第1導電型の半導体ウェハを所定の面方位に設定し、半導体ウェハにMOS電界効果トランジスタおよび溝型キャパシタを有するメモリ素子を形成し、上記半導体ウェハを主表面と四周側面を有する半導体チップにダイシングする工程を備えている。上記半導体ウェハの主表面に、その四周内面が{100}面に設定された溝が形成される。上記半導体ウェハの主表面にMOS電界効果トランジスタが形成される。上記溝の少なくとも1つの内面に沿ってキャパシタが形成される。上記半導体ウェハの{111}面と上記主表面との交差線の方に沿って上記半導体ウェハがダイシングされる。上記半導体ウェハの四周側面が{110}面を有する半導体チップに形成される。

【0037】この発明に従った半導体装置の製造方法は、さらに他の局面では、まず、{100}面の主表面を有する半導体ウェハ上にMOS電界効果トランジスタを備えた半導体装置を製造する方法であって、上記半導体ウェハの主表面にその四周内面が{100}面に設定された溝が形成される。この溝の内面に不純物をイオン注入してソース/ドレイン領域が形成される。上記溝の内面上に熱酸化によってゲート絶縁膜が形成される。上記溝内で上記ゲート絶縁膜上にゲート電極が形成される。上記半導体ウェハの{111}面の交差線の方向に

上記半導体ウェハがダイシングされる。上記四周側面が{110}面を有する半導体チップに形成される。
【0038】この発明に従った半導体装置の製造方法は、さらに他の局面では、半導体ウェハを所定の面方位に設定し、この半導体ウェハにMOS型電界効果トランジスタおよび溝型キャパシタを有するメモリセルを含む回路素子をパターンニングし、上記半導体ウェハを直方体の半導体チップに切断する工程を備えた半導体装置の製造方法であって、上記半導体ウェハの主表面を{100}面に設定する。オリエンテーションフラットを{110}面に設定する。上記MOS型電界効果トランジスタを構成するゲート電極およびこのゲート電極の長手方向に直交して延びる活性領域が、上記ダイシング方向に平行または直交して延びるようにパターンニングされる。上記溝型キャパシタの各辺が上記ダイシング方向に45°の角度をなす長方形の水平断面を有する四角柱状になるようにパターンニングされる。上記半導体チップの四周側面がすべて{110}面となるように上記オリエンテーションフラットに垂直および平行な方向にダイシングされる。

【0039】

【作用】この発明において、半導体チップの主表面は{100}面、四周側面は{110}面からなる。四周内面を有する溝は、ダイシング方向に45°の角度をなす長方形の水平断面を有する四角柱状にパターンニングされる。これにより、この半導体チップ上に形成される溝は、その四周内面が{100}面に設定される。また、主表面が{100}面、オリエンテーションフラットが{110}面である半導体ウェハを用い、オリエンテーションフラットに垂直または平行な方向にダイシングした場合、半導体上の{111}面と半導体ウェハの主表面との交差線がダイシング方向と平行または垂直な関係になる。

【0040】また、ダイシング方向をオリエンテーションフラット面に直交する方向および平行な方向に維持し、溝の四周内面の面方位を{100}面とすることにより、すべての回路素子をオリエンテーションフラットに対し45°傾けることによる回路素子の集積度の低下や、また半導体チップ全体をオリエンテーションフラットに対し45°傾けて形成して、ダイシングラインをオ

リエンテーションフラットに対し45°傾けた場合の作業性の悪化などを防止することができる。

【0041】

【実施例】以下、この発明に基づいた半導体装置の実施例について、特にDRAMに適用した場合の一実施例について、図1ないし図9を参照して説明する。

【0042】まず、図1を参照して、単結晶よりなる直方体の半導体チップ3上にメモリセル5が形成されている。なお、図1においては、メモリセル5は便宜上1個しか書かれていないが、実際は複数個形成されている。

【0043】次に、図2および図3を参照して、メモリセル5の構造を説明する。図2はメモリセル5の平面図である。図3は図2中X-X線矢視断面図である。

【0044】半導体チップの主表面上には、半導体チップ3の四周側面3b、3c、3d、3eに平行または垂直方向に延びるゲート電極6aが形成されている。このゲート電極6aと直交する方向に、活性領域6bが形成されている。この活性領域6bの上面には、ビット線6cが配線されている。

【0045】このビット線6cと交差するゲート電極6a直下の活性領域6bには、n型の不純物からなるソース領域13とドレイン領域14が形成されている。上記ゲート電極6a、酸化膜7gおよびソース領域13、ドレイン領域14によりMOS型電界効果トランジスタ6が形成されている。また、活性領域6bには、四角柱状の溝7aが形成されている。この溝7aの四周内面は、半導体チップ3の四周側面と45°の傾きをなしている。この溝7aの内面から所定深さのn型の不純物からなる導電層7fが形成されている。この導電層7fの上面には酸化膜7gが形成されている。さらに溝7aの内面には、この酸化膜7gを介して多結晶シリコン7hが充填されている。上記導電層7fと酸化膜7gおよび多結晶シリコン7hにより溝型キャパシタ7を形成している。また、上記ドレイン領域14と、導電層7fが電気的に接続されている。これにより上記MOS型電界効果トランジスタ6および上記溝型キャパシタ7が、いわゆる1トランジスタ1キャパシタ型のメモリセルを構成する。また、半導体基板4の主表面上には、ビット線6cと基板との接続のためのコンタクトホール9も設けられている。

【0046】ここで、上記メモリセル5が複数個形成された半導体チップ3は、図4に示すようにシリコンウェハ1をダイシングして形成されている。本実施例においては、上記シリコンウェハ1の面方位は、主表面1aが{100}面、オリエンテーションフラット1bが{110}面よりなる。シリコンウェハ1のダイシング方向は、オリエンテーションフラット1bに対し平行なライン2aおよび垂直なライン2bによりダイシングが行なわれる。これにより、図5を参照して、半導体チップ3の四周側面3a、3b、3c、3dはすべて{110}

面の面方位となる。また、図6を参照して、メモリセル5に形成される溝の四周内面7a、7b、7c、7dおよび底面7eの面方位は、すべて{100}面に設定されることになり、すべての面の酸化膜の膜厚を等しく形成することが可能となる。

【0047】一方、上記シリコンウェハの割れ特性について、図7ないし図9を参照して説明する。シリコンウェハ1の面方位の位置関係は、図7に示すように26面体のモデルで表わすことができる。結晶面の特性として、{111}面方位が最も欠陥・ストレスが発生しやすいことは既に知られている。主表面1aが{100}面、オリエンテーションフラット1bが{110}面のシリコンウェハ1の割れ特性は、図8および図9に示すように、オリエンテーションフラット1bに対して平行または垂直の方向に割れやすい。これは、主表面1aが{100}面で、オリエンテーションフラット1bが{110}面のシリコンウェハ1の{111}面と主表面1aの交差線11が、オリエンテーションフラット1bに対し、平行または垂直な位置関係になるからである。よって、シリコンウェハ1をダイシングにより半導体チップに分離する場合、ダイシングラインと{111}面と主表面の交差線が平行な位置関係となる。

【0048】以上により、溝の四周内面および底面を主表面と同一の{100}面とすることにより、酸化膜の膜厚の形成を均一にすることができる。また、ダイシングラインと{111}面と主表面の交差線が平行となるために、ダイシング時におけるチップ端部の欠けを防止することが可能となる。

【0049】次に、上記構造よりなるメモリセル5の製造方法について、図10ないし図18を参照して説明する。

【0050】まず図11を参照して、メモリセル5が形成されるシリコンウェハ（以下基板という）1の主表面1aを{100}面に、オリエンテーションフラット1bを{110}面に設定する。その後、基板1にLOCOS法を用い選択酸化によってフィールド酸化膜8を形成する。

【0051】次に、図12を参照して、基板表面にレジスト膜10を塗布し、図10に示すオリエンテーションフラット基準面に対し45°傾いた四角形の穴を有するレチクルマスク30を用いて写真製版技術により、レジスト膜のパターニングを行なう。その後、異方性エッチングにより溝の四周内面がオリエンテーションフラット面に対し45°傾いた四角柱状の溝72を形成する。これにより、溝72の四周内面72a、72b、72c、72dおよび底面72eの面方位は{100}面に設定されることになる。

【0052】次に、図13を参照して、上記レジスト膜10の溝72に挟まれた部分のみを残して他のレジスト膜10を除去する。その後、斜め回転イオン注入法によ

りボロンなどを基板1に注入し基板表面、溝四周内面および底面にn型の導電層7fを形成する。

【0053】次に、図14を参照して、基板1の主表面1aおよび溝72の四周内面72a、72b、72c、72dと溝底面72eに熱酸化法によりSiO₂よりなる酸化膜7gを50~100Å程度全面に形成する。このとき主表面1a、溝72の四周内面72a、72b、72c、72dおよび底面72eの面方位は上記のようにすべて{100}面に設定されているために、すべて均一な酸化膜を形成することができる。

【0054】次に、図15を参照して、溝72の内部および基板表面全面にポリシリコン7hを堆積する。その後、図16を参照して、MOS型電界効果トランジスタが形成される領域に堆積されたポリシリコン7hを除去するために、所定の形状を有するするレジスト膜12を形成し、ポリシリコン7hを異方性エッチングにより除去する。

【0055】次に、図17を参照して、ゲート電極6aを形成した後、ボロンなどのn型の不純物を基板1注入して、n型の不純物拡散領域からなるソース領域13およびドレイン領域14を形成する。このとき導電層75とドレイン領域14が電気的に接続される。

【0056】次に、図18を参照して、基板1表面にSiO₂などよりなる層間絶縁膜15を形成する。その後上記ソース領域13に通ずるコンタクトホール9を層間絶縁膜15に形成した後、基板1表面にポリサイドよりなるビット線6cをゲート電極6aが延びる方向に直交する方向に形成する。上記により、本実施例における半導体装置が完成する。

【0057】上記実施例において、半導体ウェハに単結晶シリコンを用いたが、これに限られることなく、エピタキシャル成長により形成したシリコンを用いても同様の効果が得られる。また、ガリウム・砒素(GaAs)、インジウム・リン(InP)、シリコン・ゲルマニウム(Ge/Si)などを含む化合物半導体においても同様の効果が得られる。

【0058】また一方、溝型キャパシタ7内部に形成される酸化膜7gは、酸化膜と窒化膜とからなる複合膜を用いても同様の効果を得ることができる。

【0059】また、上記実施例においては、キャパシタの下部電極としてn型の導電層7fを設けているが、図19に示すように、p型半導体基板を用いることで、n型半導体装置7fを不要とし、このp型半導体基板を用いてキャパシタの下部電極とすることができる。

【0060】次に、この発明に従ったDRAMメモリセルの他の実施例について説明する。図20を参照して、主表面が{100}面、オリエンテーションフラットが{110}面のP型シリコンウェハをダイシングにより切出した、主表面が{100}面、四周側面が{110}面の半導体チップ16の主表面16aにメモリセル

17が複数個形成されている。

【0061】図21は、メモリセル17の平面図である。図22は図21中Y-Y線矢視断面図である。

【0062】図21を参照して、p型の半導体基板21の上に、その四周側面に平行または垂直な方向にn⁺不純物領域からなるビット線19が複数本形成されている。このビット線19に対し垂直な方向にワード線18が複数本形成されている。上記ビット線19とワード線18の交点に、四周内面が上記ビット線やワード線方向に対して45°の角度をなした溝20が形成されている。

【0063】次に、図22を参照して、p型の半導体基板21の主表面上で分離酸化膜25によって素子分離されたメモリセル17が形成されている。このメモリセル17は、nチャネルMOS型電界効果トランジスタと溝型キャパシタとから構成されている。

【0064】nチャネルMOS型電界効果トランジスタは、ドレイン／ソース領域を構成するn⁺不純物領域19、26と、それらの間に設けられたチャネル領域105と、チャネル領域105の上にゲート酸化膜24を介在させて形成されたゲート電極18とを有している。このチャネル領域105は、p型の半導体基板21の主表面上に形成された溝の側壁部に沿うゲート酸化膜24の下部に存在している。

【0065】キャパシタは、nチャネルMOS型電界効果トランジスタを構成するn⁺不純物領域26に接続するように形成されたキャパシタ電極23と、キャパシタ酸化膜22と、p型の半導体基板21とからなる。

【0066】このキャパシタ電極23は、p型シリコン基板21に形成されたトレンチ内に埋め込まれたポリシリコン層からなる。また、n⁺不純物領域26はキャパシタ電極23の周囲上において全周に設けられている。nチャネルMOS型電界効果トランジスタを構成するゲート電極18は、n⁺ポリシリコン層からなり、ワード線を兼ねている。これにより、キャパシタ用に設けられた溝の側壁部に縦方のnチャネルMOS型電界効果トランジスタが形成されている。

【0067】次に、この実施例に従ったDRAMのメモリセルの製造方法について説明する。図23～図34は、図22に示された断面構造に従ってこの発明のメモリセルの製造方法を工程順に示す断面図である。

【0068】図23を参照して、p型の半導体基板21の主表面上にLOCOS法を用いて分離酸化膜25を形成する。次に、図24を参照して、基板21の表面にレジスト膜27を塗布する。その後、オリエンテーションフラット基準面に対し45°傾いた四角形の穴を複数個有するレチクルマスク（図10参照）を用いて、写真製版技術によりレジスト膜のパターニングを行なう。さらにその後、異方性エッチングにより、溝の側面がオリエンテーションフラット面に対し45°傾いた四角柱状

の溝20を形成する。これにより、溝の四周内面および底面の面方位は{100}面に設定される。

【0069】次に、図25を参照して、溝20の内面および基板表面全面に熱酸化法によって厚さ約50～100Åの酸化膜22を形成する。このとき溝の四周内面および底面は{100}面に設定されているため、均一な酸化膜を形成することができる。

【0070】次に、図26を参照して、溝20の内面および主表面全面にレジスト28を覆う。次に、図27を参照して、上記レジスト膜28をエッチバック法により、溝20内にレジスト28を所定の深さだけ残す。

【0071】次に、図28を参照して、溝20内に残されたレジスト28をマスクとして、酸化膜22を選択的に除去し、キャパシタのキャパシタ絶縁膜となる酸化膜22を溝20の底部に形成する。

【0072】次に、図29を参照して、溝内部および基板表面全面にn⁺ポリシリコン23を堆積する。次に図30を参照して、n⁺ポリシリコン23の上面にレジスト膜（図示せず）を塗布し、エッチバック法によってn⁺ポリシリコン23をエッチバックし、溝20内に所定の深さまでn⁺ポリシリコン23を残す。このポリシリコン23は、キャパシタのキャパシタ電極となる。

【0073】次に、図31を参照して、上記n⁺ポリシリコン23にアニール処理を施すことにより、n⁺ポリシリコン層23内の不純物がシリコン基板21の内部に拡散し、n⁺不純物領域26が形成される。

【0074】次に、図32を参照して、基板表面にリン(P)などのn型不純物をイオン注入し、熱拡散することにより、ビット線となるn⁺不純物領域19を形成する。

【0075】次に、図33を参照して、溝内部のn⁺ポリシリコン23および溝の四周内面および基板表面全面にCVD法によりゲート絶縁膜24を形成する。このときも、溝の四周内面および基板表面は{100}面に設定されているため、均一な酸化膜を形成することができる。

【0076】次に、図34を参照して、溝内部および基板表面に、ポリシリコンなどよりなるワード線18を形成する。以上により、この発明に従ったDRAMのメモリセルが完成する。

【0077】以上のようにして、基板に設けられた溝の四周内面の面方位を{100}面とすることにより、主表面と溝内面の酸化膜の形成を均一にすることが可能となる。さらに溝側面にMOS型電界効果トランジスタを形成することが可能となり、メモリセルの微細化、DRAMの高密度化を図ることが可能となる。

【0078】次に、この発明に従ったDRAMメモリセルのさらに他の実施例について説明する。

【0079】図35を参照して、この実施例におけるDRAMは先に説明したDRAMの実施例と比較して、n

チャネルMOS型電界効果トランジスタを構成するチャネル領域105が基板表面から溝の側壁にかけて形成されている。

【0080】このように、基板表面が{100}面、溝内面が{100}面に設定されているため、nチャネルMOS型電界効果トランジスタを基板表面から溝内面にまたがるように形成しても、上記と同様の作用効果を得ることができる。

【0081】

【発明の効果】以上のように、この発明によれば、主表面が{100}面、オリエンテーションフラット{110}面を有するシリコンウェハを用い、半導体チップの四周側面が{110}面、半導体チップ内に形成される溝型キャパシタの四周内面を{100}面とすることで、溝型キャパシタの各辺に形成される酸化膜厚を等しく形成でき、溝型キャパシタの素子の設計製造を容易化し、素子特性の均一化安定化を図ることを可能としている。

【0082】また、シリコンウェハをダイシングにより半導体チップに分離する場合、ダイシングラインとシリコンウェハの{111}面と主表面の交差線が平行な位置関係となるため、ダイシング時におけるチップ端部の欠けを防止し、また、熱処理などのプロセス処理時のストレスによるチップへの亀裂の発生を未然に防止することを可能としている。上記により、半導体チップのコストダウンを招来し、半導体装置の機能の信頼性の向上を図ることが可能となる。

【図面の簡単な説明】

【図1】この発明に従ったメモリセルの平面的な配置を示す図である。

【図2】この発明に基づいたメモリセルの平面的な配置を示す部分平面図である。

【図3】図1中X-X線における断面構造図である。

【図4】この発明に従ったシリコンウェハの斜視図である。

【図5】この発明に従った半導体チップの四周側面の面方位の関係を示す図である。

【図6】この発明に基づいた溝型キャパシタの四周内面の面方位の関係を示す図である。

【図7】この発明に従ったシリコンウェハの面方位の関係を示すモデルの図である。

【図8】この発明に従ったシリコンウェハの割れの特徴を示す図である。

【図9】この発明に従ったシリコンウェハの割れの状態を示す図である。

【図10】この発明に従ったレチクルマスクの詳細図である。

【図11】この発明に従ったメモリセルの製造方法の第1実施例の第1工程を示す断面図である。

【図12】この発明に従ったメモリセルの製造方法の第

1実施例の第2工程を示す断面図である。

【図13】この発明に従ったメモリセルの製造方法の第1実施例の第3工程を示す断面図である。

【図14】この発明に従ったメモリセルの製造方法の第1実施例の第4工程を示す断面図である。

【図15】この発明に従ったメモリセルの製造方法の第1実施例の第5工程を示す断面図である。

【図16】この発明に従ったメモリセルの製造方法の第1実施例の第6工程を示す断面図である。

【図17】この発明に従ったメモリセルの製造方法の第1実施例の第7工程を示す断面図である。

【図18】この発明に従ったメモリセルの製造方法の第1実施例の第8工程を示す断面図である。

【図19】この発明に違ったメモリセルの他の実施例における断面構造図である。

【図20】この発明に従ったメモリセルの他の実施例における平面的な配置を示す平面図である。

【図21】この発明に従ったメモリセルの他の実施例における平面的な配置を示す部分平面図である。

【図22】図21中Y-Y線矢視断面図である。

【図23】この発明に従ったメモリセルの製造方法の他の実施例における第1工程を示す断面図である。

【図24】この発明に従ったメモリセルの製造方法の他の実施例における第2工程を示す断面図である。

【図25】この発明に従ったメモリセルの製造方法の他の実施例における第3工程を示す断面図である。

【図26】この発明に従ったメモリセルの製造方法の他の実施例における第4工程を示す断面図である。

【図27】この発明に従ったメモリセルの製造方法の他の実施例における第5工程を示す断面図である。

【図28】この発明に従ったメモリセルの製造方法の他の実施例における第6工程を示す断面図である。

【図29】この発明に従ったメモリセルの製造方法の他の実施例における第7工程を示す断面図である。

【図30】この発明に従ったメモリセルの製造方法の他の実施例における第8工程を示す断面図である。

【図31】この発明に従ったメモリセルの製造方法の他の実施例における第9工程を示す断面図である。

【図32】この発明に従ったメモリセルの製造方法の他の実施例における第10工程を示す断面図である。

【図33】この発明に従ったメモリセルの製造方法の他の実施例における第11工程を示す断面図である。

【図34】この発明に従ったメモリセルの製造方法の他の実施例における第12工程を示す断面図である。

【図35】この発明に従ったメモリセルのさらに他の実施例における断面構造図である。

【図36】従来のダイナミック・ランダム・アクセス・メモリ(DRAM)の全体構成を示すブロック図である。

【図37】図36に示されたDRAMのセンスアンプお

17

よびメモリセルアレイの4ビット分のメモリセルを示す等価回路図である。

【図38】従来技術に基づいたシリコンウェハの全体斜視図である。

【図39】従来技術に従ったメモリセルの平面的な配置を示す平面図である。

【図40】従来技術に従ったメモリセルの平面的な配置を示す部分平面図である。

【図41】図40中X-X矢視断面図である。

【図42】従来技術における溝型キャパシタの配置を示す図である。

【図43】従来技術に基づいた半導体ウェハの全体斜視図である。

【図44】従来技術に従ったメモリセルの平面的な配置を示す平面図である。

【図45】従来技術に従ったメモリセルの平面的な配置を示す部分平面図である。

【図46】従来技術におけるシリコンウェハの面方位の関係を示すモデルの図である。

【図47】従来技術におけるシリコンウェハの割れの特性を示す図である。

【図48】従来技術におけるシリコンウェハの割れの状

18

態を示す図である。

【符号の説明】

1, 16 半導体ウェハ

1a 主表面

1b オリエンテーションフラット

2a, 2b ダイシングライン

3, 16 半導体チップ

5, 17 メモリセル

6 電界効果トランジスタ

6a, 18 ゲート電極

6b 活性領域

6c, 19 ビット線

7, 20 溝型キャパシタ

7g キャパシタ酸化膜

7h キャパシタ電極

8, 11 フィールド酸化膜

9 コンタクトホール

11 交差線

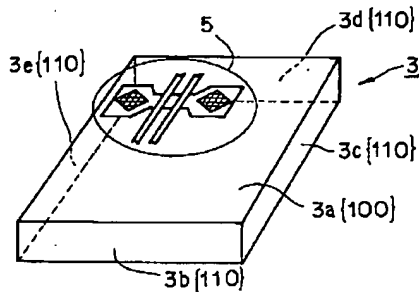
13 ソース

14, 26 ドレイン

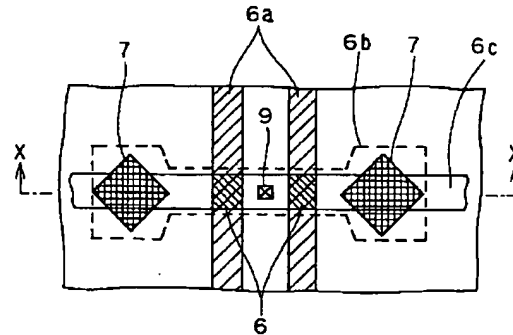
15 層間絶縁膜

なお、図中同一符号は、同一または相当部分を示す。

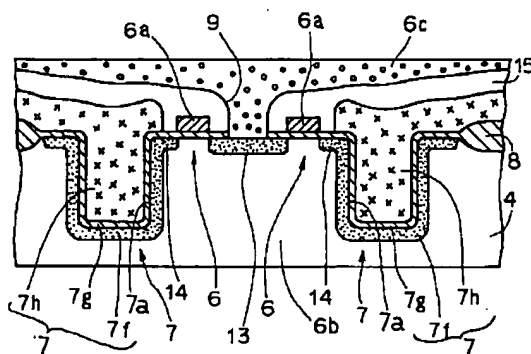
【図1】



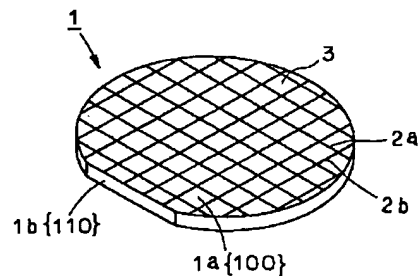
【図2】



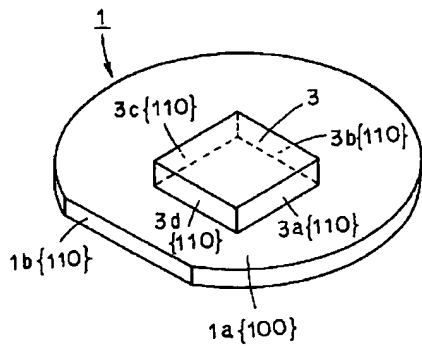
【図3】



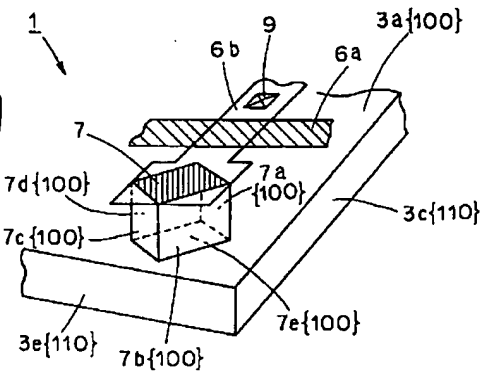
【図4】



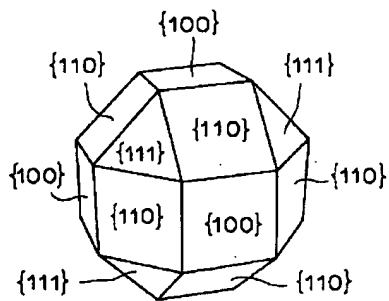
【図5】



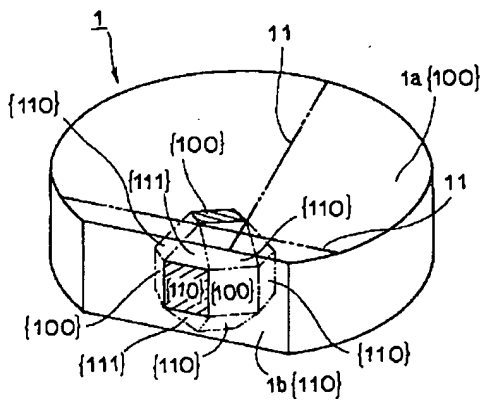
【図6】



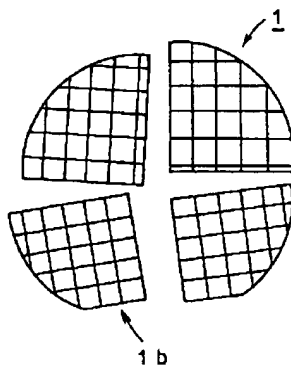
【図7】



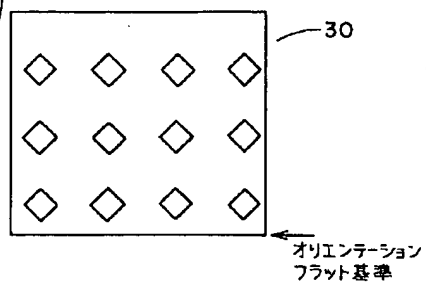
【図8】



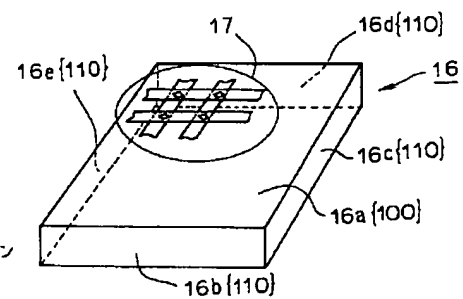
【図9】



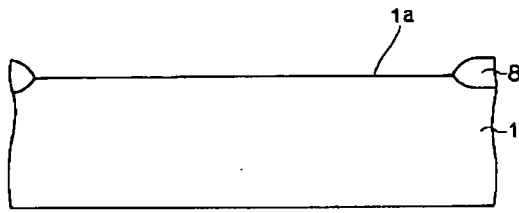
【図10】



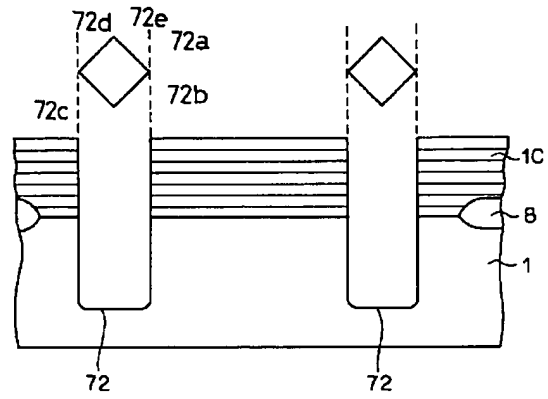
【図20】



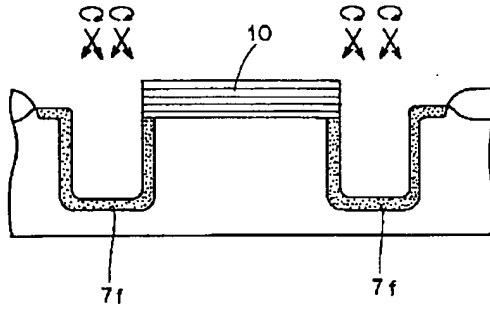
【図11】



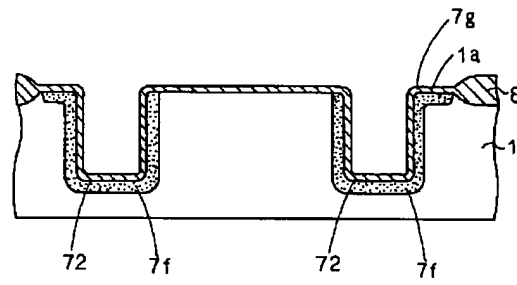
【図12】



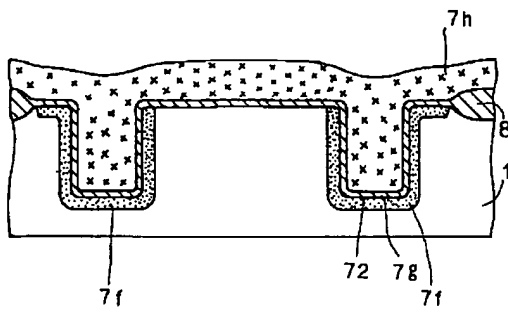
【図13】



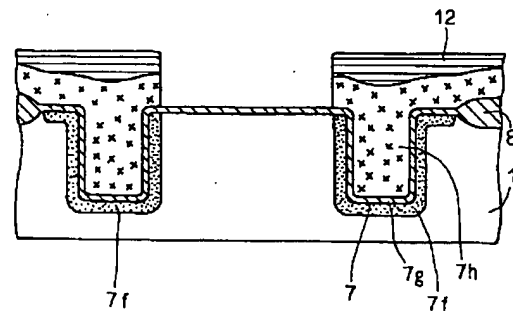
【図14】



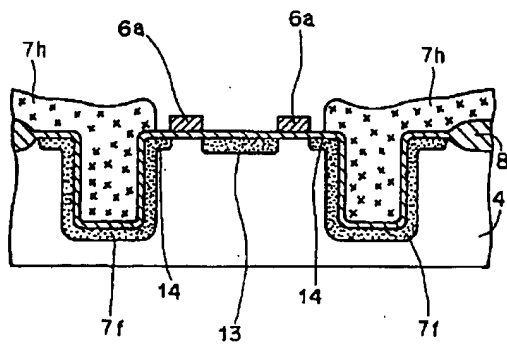
【図15】



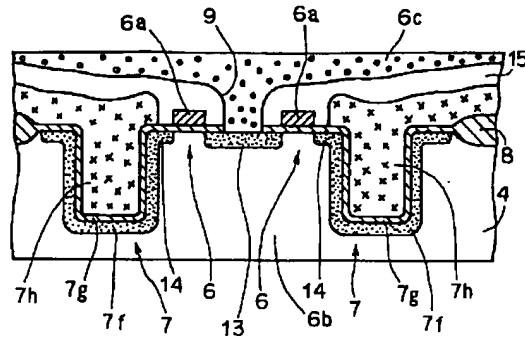
【図16】



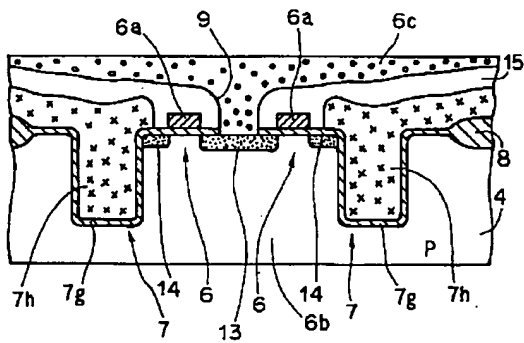
【図17】



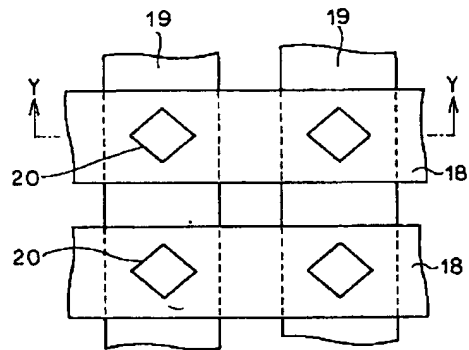
【図18】



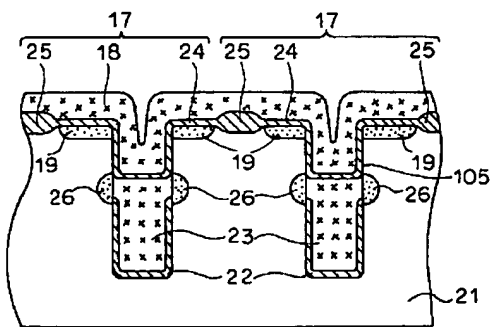
【図19】



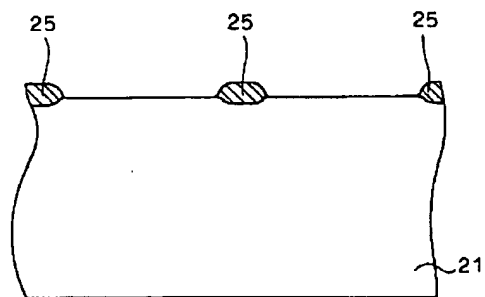
【図21】



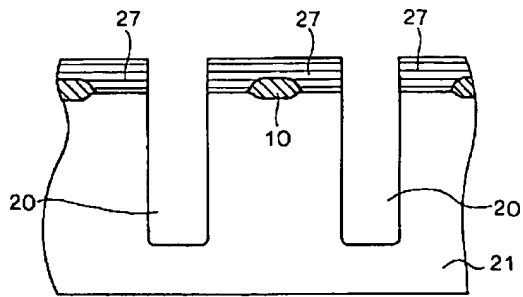
【図22】



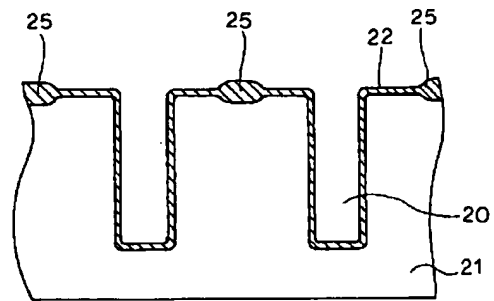
【図23】



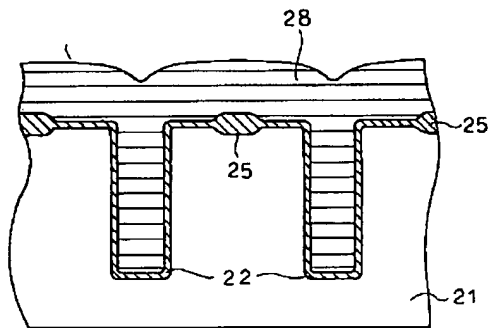
【図24】



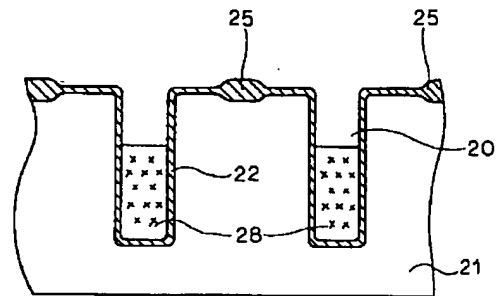
【図25】



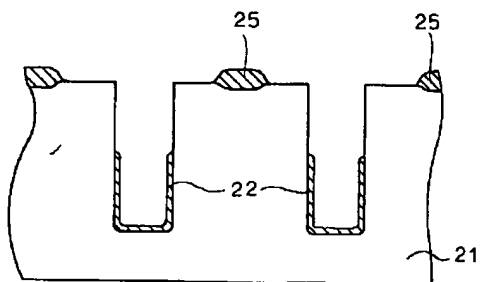
【図26】



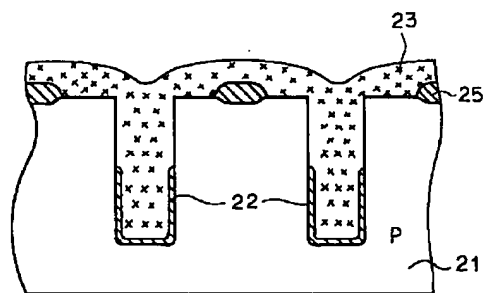
【図27】



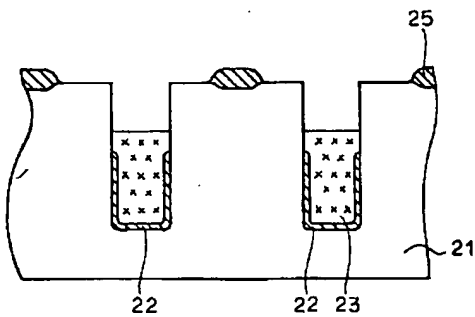
【図28】



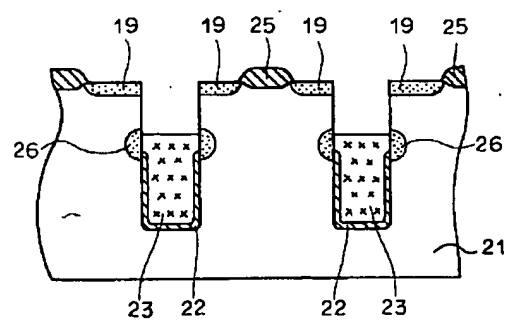
【図29】



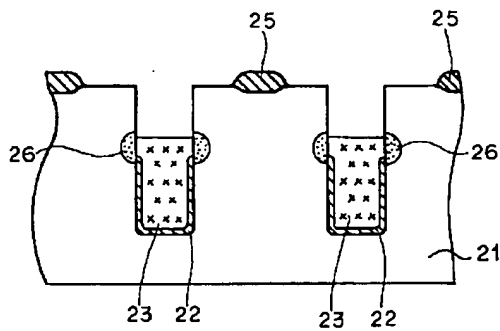
【図30】



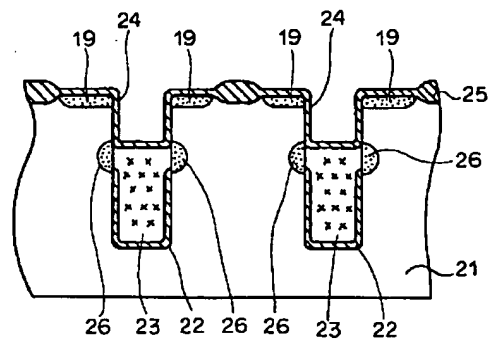
【図32】



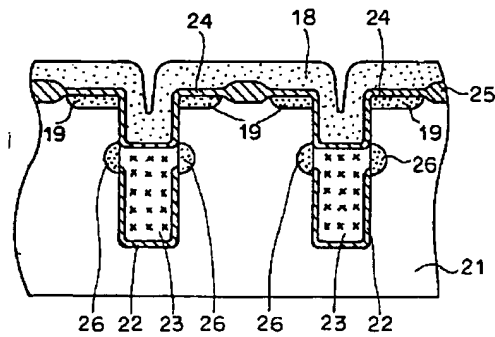
【図31】



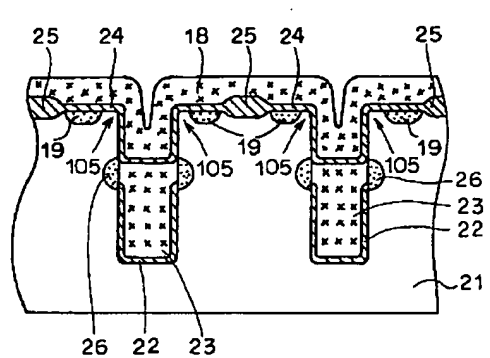
【図33】



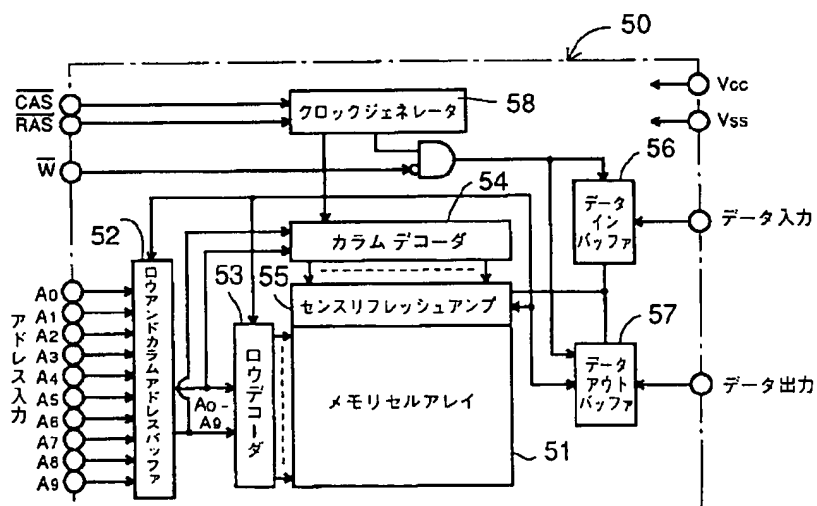
【図34】



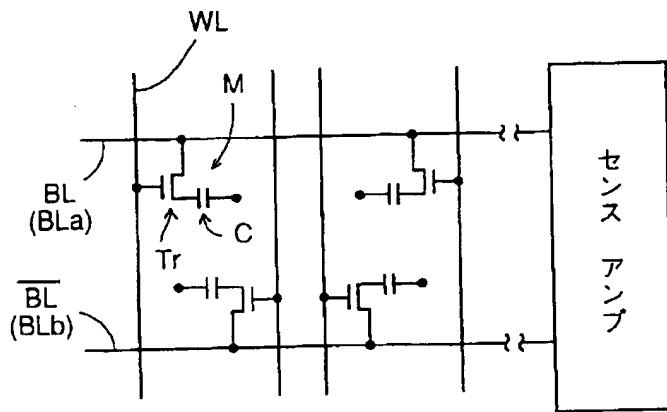
【図35】



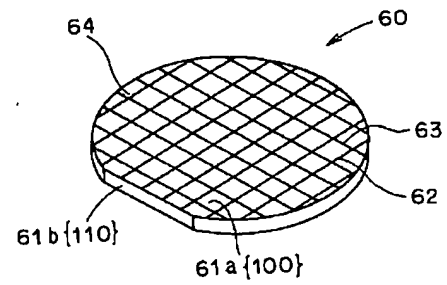
【図36】



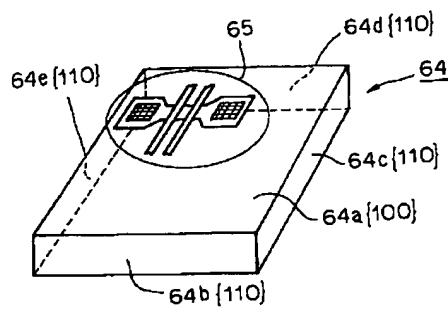
【図37】



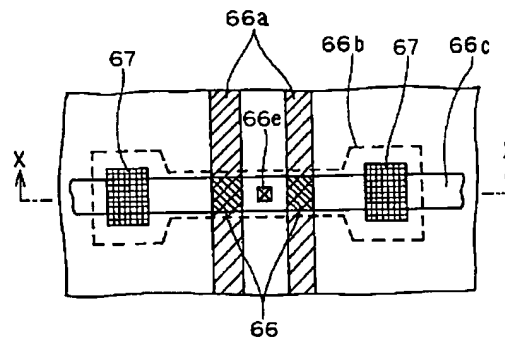
【図38】



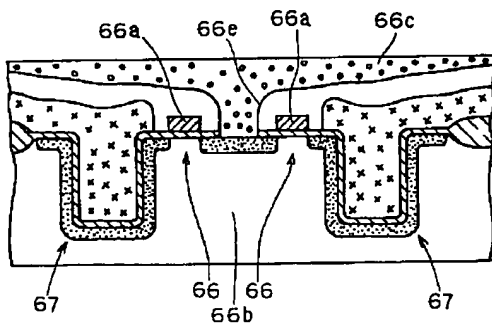
【図39】



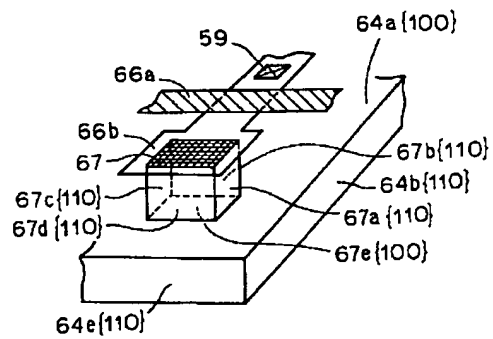
【図40】



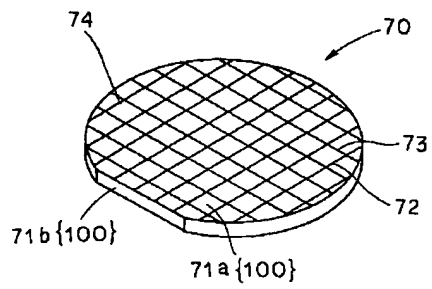
【図41】



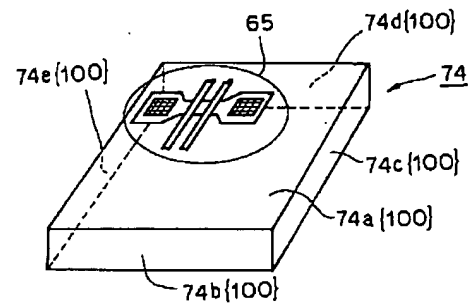
【図42】



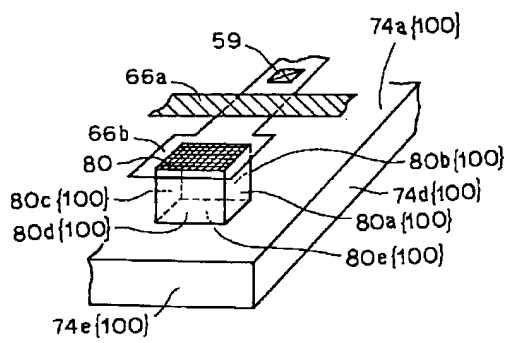
【図43】



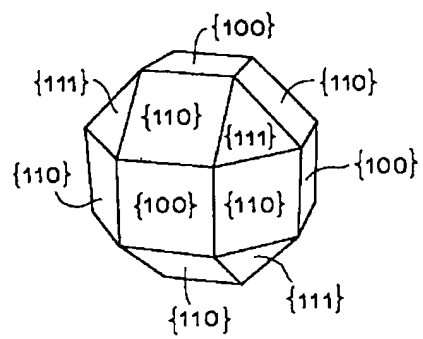
【図44】



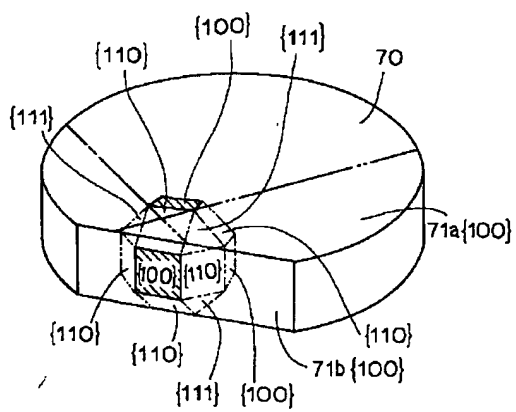
【図45】



【図46】



【図47】



【図48】

